



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    1 月    9 日  
Date of Application:

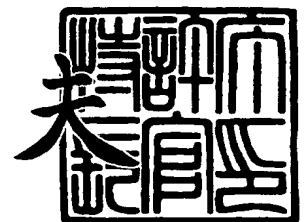
出 願 番 号                      特 願 2 0 0 3 - 0 0 3 4 1 3  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 0 3 4 1 3 ]

出      願      人                      シャープ株式会社  
Applicant(s):

2 0 0 3 年 1 0 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 9 0 1 5 2



【書類名】 特許願

【整理番号】 02J04357

【提出日】 平成15年 1月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/20  
H01L 21/22

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 7

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 徳重 信明

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

---

【代理人】

    【識別番号】 100065248

    【弁理士】

    【氏名又は名称】 野河 信太郎

    【電話番号】 06-6365-0718

【手数料の表示】

    【予納台帳番号】 014203

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0208452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 表面に半導体素子が形成された半導体基板と、該半導体基板の側面の一部又は全部を被覆し、前記半導体基板の表裏面とそれぞれ略面一の表裏面を有する硬質膜とから構成され、

前記硬質膜で被覆された半導体基板の側面が、前記半導体基板表面に対して垂直又は略垂直に加工されてなることを特徴とする半導体装置。

【請求項 2】 硬質膜に貫通孔が形成され、該貫通孔内に、前記硬質膜の表裏面とそれぞれ略面一の表裏面を有する貫通電極が形成されてなる請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板がシリコン基板である請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 硬質膜が、シリコン酸化膜又はシリコン窒化膜である請求項 1 ～ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】 貫通電極が高融点金属により形成されてなる請求項 2 ～ 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】 (a) 半導体素子が形成された半導体基板の前記半導体素子が形成されていない領域に、前記半導体基板表面に対して垂直に凹部を形成し、  
(b) 該凹部に硬質膜を埋め込み、  
(c) 前記凹部を含む前記半導体基板表面に支持基板を貼り合わせ、前記半導体基板を裏面側から前記硬質膜の裏面が露出するまで後退させ、  
(d) 前記硬質膜を切断することにより前記半導体基板を分割することからなる半導体装置の製造方法。

【請求項 7】 工程 (b) において、硬質膜を埋め込んだ後、硬質膜に貫通孔を形成し、該貫通孔に導電材料を埋め込むことにより貫通電極を形成することからなる請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

**【発明の属する技術分野】**

本発明は、半導体装置及びその製造方法に関し、さらに詳しくはフレキシブルな半導体装置及びその製造方法に関する。

**【0002】****【従来の技術】**

携帯電話を始めとして、機器の小型化・携帯化の流れが一段と強くなってきており、さらには「着るパソコン」としてウェアラブルコンピュータも発表された。

また、3DMD（シースルーヘッドマウントディスプレイ）、CCDカメラ内蔵HD、イヤホン型メガネ、イヤホン型マイクなど映像・音声の直接認知インターフェイスも提案され、今後ウェアラブル機器の市場は大きく伸長すると考えられる。

このような需要に対する方策の一つとして、AMLCD（アクティブマトリックスディスプレイ）のTFTのチップ薄膜化法が提案されている（例えば、特許文献1）。

**【0003】**

この方法では、まず、図4（a）に示すように、Si基板40上に、Si緩和層41、CVD法によるシリコン酸化膜42、シリコン酸窒化膜からなるリリース層43、素子形成層となる上層Si層44がこの順に積層されたSOI構造基板を用い、図4（b）に示すように、AMLCDの画素部（ピクセル領域）44bとTFT領域44aとを形成する。

次に、図4（c）に示すように、絶縁体領域45を形成するとともに、画素部44bとTFT領域44aとの上に酸化膜46を形成する。

さらに、図4（d）に示すように、得られた基板の上に、ゲート電極48及びソース／ドレイン領域49を形成し、さらに、これらを絶縁膜50で被覆し、絶縁膜50の所望の領域にコンタクトホール及び配線51を形成して、TFT47を得る。

**【0004】**

この後、図4（e）に示すように、画素部44bとTFT領域44aとを含む

領域の外側のリリース層 43 に開口 52a を形成し、さらに、この開口 52a よりも大きな開口 52b をシリコン酸化膜 42 に形成する。

続いて、図 5 (f) に示すように、シリコン酸化膜 42 及びリリース層 43 の開口を埋め込む支持柱 53 をシリコン酸化膜によって形成し、支持柱 53 間で、かつ画素部 44b と T F T 領域 44a との領域以外の領域において、リリース層 43 にエッチャント導入口 54 を形成し、このエッチャント導入口 54 からエッチャントを導入して、図 5 (g) に示すように、シリコン酸化膜 42 をエッチング除去し、空洞 55 を形成する。これにより、支持柱 53 に支持されたリリース層 43 上に、画素部 44b 及び T F T 47 が配置する。

#### 【0005】

次に、図 5 (h) に示すように、得られた基板上全面にエポキシ樹脂 56 と非感光性の透明樹脂膜 57 とを形成し、画素部 44b と T F T 44a との上のエポキシ樹脂 56 を、紫外線を照射することにより硬化させ、非硬化部のエポキシ樹脂を除去するとともに、支持柱 53 を劈開することにより、薄膜状のチップを離脱させる。

また、上記の方法とは別に、チップ側面又は側面と裏面とを絶縁膜で覆う方法が提案されている（例えば、特許文献 2）。

#### 【0006】

この方法では、まず、図 6 (a) に示すように、トランジスタ等を含む回路素子（図示せず）が縦横に整列形成されているが、電極は形成されていない半導体基板 66 上に絶縁膜 60a を形成する。

次に、図 6 (b) に示すように、半導体基板 66 の裏面を研磨してウエハの厚さを所定の厚さにする。続いて、図 6 (c) に示すように、半導体基板 66 表面に、回路素子を区画する区画線（スクライブエリア）に沿って、断面が V 字形状の溝 62 を縦横に形成する。

その後、図 6 (d) に示すように、溝 62 の表面を覆うように、半導体基板 66 上に再度絶縁膜 60b を形成し、図 6 (e) に示すように、半導体基板 66 表面の絶縁膜 60b を選択的に除去して半導体基板 66 表面を露出させ、その上に電極を形成するとともに、この電極上にバンプを形成してバンプ電極（突出電極

) 65とする。

#### 【0007】

次いで、図6 (f) に示すように、半導体基板66上全面に研磨用テープ63を接着剤64で貼り付け、図6 (g) に示すように、半導体基板66の裏面を、溝62の底まで研磨する。これによって、研磨用テープ63には接着されているが、半導体基板66が分割され、半導体チップとなる。

続いて、図6 (h) に示すように、研磨用テープ63及び接着剤64を引き剥がし、図6 (i) に示すように、半導体チップの裏面に絶縁膜60cを形成する。

#### 【0008】

##### 【発明が解決しようとする課題】

しかし、図4及び図5に示す方法では、SOI基板を用いているため基板自体が高価であり、バルク基板における設計やプロセスの資産が使用できない。また、素子形成層である上層Si44をリリース層43の直上に堆積するため、上層Si44とリリース層43との密着性の関係より、上層Si層44が素子形成工程中に剥がれるおそれがあり（密着性は下層のリリース層のモフォロジーに依存する）、上層Si層44の膜厚が比較的不均一なためフレキシビリティに欠けるという問題もある。さらに、半導体層の膜厚はSOI基板の上層Si層44の膜厚で決定されてしまい、所望のフレキシビリティ及び透過性を示すような膜厚に自由に設定できないという問題がある。

#### 【0009】

また、図6に示す方法では、ストッパーとなる絶縁膜がV字溝の内部に存在するため、基板の研磨の際、V字溝の先端に応力集中が生じ、研磨の制御ができず、膜厚の不均一や割れを生じるおそれがある。そのため、所望のフレキシビリティ及び透過性を示すような膜厚に自由に設定できないという問題がある。

本発明はこのような課題に鑑みなされたものであり、薄膜状のチップ自体にフレキシビリティ及び光の透過性を付与することができる半導体装置及びその製造方法を提供することを目的とする。

#### 【0010】

**【特許文献 1】**

米国特許第 5, 2 5 6, 5 6 2 号明細書

**【特許文献 2】**

特開平 1 0 - 2 2 3 6 2 6 号公報

**【0 0 1 1】****【課題を解決するための手段】**

本発明によれば、表面に半導体素子が形成された半導体基板と、該半導体基板の側面の一部又は全部を被覆し、前記半導体基板の表裏面とそれぞれ略面一の表裏面を有する硬質膜とから構成され、前記硬質膜で被覆された半導体基板の側面が、前記半導体基板表面に対して垂直又は略垂直に加工されてなる半導体装置が提供される。

また、本発明によれば、(a) 半導体素子が形成された半導体基板の前記半導体素子が形成されていない領域に、前記半導体基板表面に対して垂直に凹部を形成し、

(b) 該凹部に硬質膜を埋め込み、

(c) 前記凹部を含む前記半導体基板表面に支持基板を貼り合わせ、前記半導体基板を裏面側から前記硬質膜の裏面が露出するまで後退させ、

(d) 前記硬質膜を切断することにより前記半導体基板を分割することからなる半導体装置の製造方法が提供される。

**【0 0 1 2】****【発明の実施の形態】**

本発明の半導体装置は、主として、半導体基板とその少なくとも一部の側面を被覆する硬質膜とから構成される。

半導体基板は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体；GaAs、InGaAs、ZnSe等の化合物半導体；半導体基板上にエピタキシャル層が、例えば、1  $\mu$ m程度形成されたこれら半導体によるエピタキシャル基板；ガラス、プラスチック等の絶縁性基板上に半導体層が形成された基板等が挙げられる。なかでも単結晶又は多結晶のシリコン基板が好ましい。この半導体基板上には、素

子分離領域、トランジスタ、キャパシタ、抵抗等の素子、層間絶縁膜、これらによる回路等が組み合わされて、シングル又はマルチレイヤー構造で形成されていてもよい。また、不純物がドーピングされて、所定の抵抗値に設定されていてもよい。半導体基板の膜厚は、特に限定されるものではないが、その材料に応じて、応力が加えられた場合に撓み、いわゆるフレキシブル性を確保することができる膜厚及び／又は光の透過性を示すような膜厚であることが好ましい。具体的には、 $1 \sim 60 \mu\text{m}$ 程度が挙げられる。

#### 【0013】

半導体基板は、後述する硬質膜によりその側面の一部又は全部が被覆されているが、硬質膜で被覆されている側面は、半導体基板表面に対して垂直又は略垂直であることが必要である。ここで、略垂直とは、半導体基板表面に対して $90^\circ \pm 5^\circ$ 程度の実質的に垂直な状態を意味する。

#### 【0014】

硬質膜は、半導体基板よりもエッチング又は研磨レートが遅いものであれば、その材料は特に限定されるものではないが、絶縁材料であることが好ましい。具体的には、シリコン酸化膜、シリコン窒化膜又はこれらの積層膜等が挙げられる。硬質膜は、半導体基板の側面の一部又は全部を被覆するが、この場合の一部とは、半導体基板の外周の一部という意味であり、厚み方向の一部を意味するものではない。つまり、半導体基板の側面を被覆する硬質膜は、その被覆箇所においては、半導体基板の表裏面とそれぞれ略面一の表裏面を有することが適当である。したがって、硬質膜の膜厚は、半導体基板の膜厚と一致することが適当である。なお、硬質膜は、半導体基板のフレキシブル性を過度に阻害しない程度の幅で形成することが必要であり、例えば、半導体基板表面の縦方向又は横方向の幅に対して $50 \sim 200 \mu\text{m}$ 程度の幅であることが適当である。

#### 【0015】

硬質膜には、貫通孔が形成され、その貫通孔内に導電材料が埋め込まれることにより、貫通電極が形成されていてもよい。貫通電極の膜厚は、半導体基板及び硬質膜の膜厚に一致し、したがって、貫通電極は、半導体基板及び硬質膜の表裏面とそれぞれ略面一の表裏面を有することが適当である。貫通電極を構成する導



電材料としては、通常電極として使用される導電材料であれば特に限定されるものではなく、アモルファス、単結晶又は多結晶のN型又はP型の元素半導体（例えば、シリコン、ゲルマニウム等）又は化合物半導体（例えば、GaAs、InP、ZnSe、CsS等）；金、白金、銀、銅、アルミニウム等の金属；チタン、タンタル、タングステン等の高融点金属；高融点金属とのシリサイド、ポリサイド等の単層膜又は積層膜が挙げられる。なかでも、高融点金属が好ましい。貫通孔の大きさは、硬質膜の大きさに応じて適宜調整することができる。

#### 【0016】

また、本発明の半導体装置の製造方法では、まず、工程（a）において、半導体素子が形成された半導体基板の半導体素子が形成されていない領域に、半導体基板表面に対して垂直に凹部を形成する。凹部は、貫通しない穴、溝等として、当該分野で公知の方法、例えば、フォトリソグラフィ及びエッチング工程によって形成することができる。凹部の深さは、上述したように、フレキシブル性及び／又は光の透過性等を考慮して、得ようとする半導体基板の厚みに応じて適宜調整することができ、例えば、1～60  $\mu\text{m}$ 程度が挙げられる。なお、凹部の底面は、半導体基板表面に対して平行であることが好ましい。凹部は、例えば、スクライブライン等の半導体素子が形成されていない領域の全部又は一部に形成することができる。凹部は、半導体基板上に1つのみ形成してもよいが、複数個形成することが好ましい。凹部を複数個形成する場合には、その全ては同じ深さであることが適当であるが、必ずしも同じ大きさでなくてもよい。

#### 【0017】

次いで、工程（b）において、凹部に硬質膜を埋め込む。硬質膜の埋め込みは、当該分野で公知の方法、例えば、凹部を含む半導体基板上全面に硬質膜を凹部の深さよりも厚い膜厚で、スパッタ法、CVD法、蒸着法等により形成し、形成した硬質膜を、半導体基板表面が露出するまでエッチング又は研磨することにより、実現することができる。エッチングはウェットエッチング、ドライエッチングのいずれでもよく、研磨は、例えばCMP法等が挙げられる。これにより、硬質膜の表面が半導体基板の表面とほぼ面一とすることができる。

#### 【0018】

なお、硬質膜を埋め込んだ後、さらに硬質膜に貫通孔を形成し、この貫通孔に導電材料を埋め込むことにより、硬質膜内に貫通電極を形成してもよい。貫通孔は、当該分野で公知の方法、例えば、フォトリソグラフィ及びエッチング工程によって、所望の大きさに形成することができる。また、貫通孔への導電材料の埋め込みは、上述したように凹部に硬質膜を埋め込むのと同様の方法によって行うことができる。

#### 【0019】

工程（c）において、まず、凹部を含む半導体基板表面に支持基板を貼り合わせる。支持基板としては、半導体基板を後述するように、前記半導体基板を裏面側から前記硬質膜の裏面が露出するまで後退させる際に、半導体基板のわれ等を防止し得る強度を与えることができるものであれば、どのような材料、膜厚のものでもよい。具体的には、金属、プラスチック、ガラス、木、半導体等種々のものが挙げられる。貼り付けは、接着剤、接着テープ等を用いて、後述する半導体基板の薄膜化の際に、半導体基板のわれ等を防止し得るように強固に支持基板に接着させ得るものであればよい。

#### 【0020】

次いで、半導体基板を裏面側から硬質膜の裏面が露出するまで後退させる。半導体基板の後退は、上述したように、エッチング又は研磨等により行うことができる。つまり、半導体基板を裏面から後退させる場合に、硬質膜は半導体基板よりもエッチング又は研磨レートが遅いために、エッチング又は研磨のストッパーとなり、よって、硬質膜の裏面が露出するまで後退させることにより、先に定めた凹部の深さ以上に半導体基板の後退が進行することなく、半導体基板を所望の膜厚に薄膜化することができるとともに、硬質膜の裏面が半導体基板の裏面とほぼ面一とすることができる。

#### 【0021】

工程（d）において、硬質膜が形成されている領域において、硬質膜を切断することにより、半導体基板分割する。ここでの分割は、いわゆるダイシングと呼ばれるものであり、硬質膜を、任意に半導体基板自体を切断することによって、半導体基板を半導体チップごとに分割することができる。なお、このダイシング

は、支持基板が半導体基板に貼り合わせられた状態で行い、その後に支持基板を脱離させてもよいし、支持基板を脱離させた後に、行ってもよい。

#### 【0022】

本発明における半導体装置は、いわゆるフレキシブル性及び光透過性を有する半導体装置であるため、特にフレキシブル性及び光透過性を要求されるような態様で用いることができる。例えば、液晶パネル、メモリカードやICカード等の種々の用途が挙げられる。また、特にフレキシブル性又は光透過性が要求されないような用途に用いてもよい。

以下、本発明の半導体装置及びその製造方法の実施の形態を図面に基づいて詳細に説明する。

#### 【0023】

##### 実施の形態1

この実施の形態の半導体装置は、図1(a)及び(b)に示したように、素子部Aとその周辺の一部又は全部を覆う硬質膜部Bとから構成されてなる半導体チップである。素子部Aは、たとえば膜厚 $30\mu\text{m}$ 程度、 $1\text{mm}\times 2\text{mm}$ のサイズのシリコン基板上にトランジスタ、キャパシタ、抵抗又はこれらが組み合わされて形成されており、フレキシブルである。シリコン基板は、少なくとも硬質膜部Bで被覆された側面が、シリコン基板表面に対して垂直又はほぼ垂直となっている。硬質膜部Bは、絶縁膜、例えば、シリコン酸化膜によって、幅 $50\mu\text{m}$ 程度で形成されている。また、図1(d)及び(e)に示すように素子部Aの周辺の一部又は全部を覆っている。

このような半導体チップは、以下の製造方法によって形成することができる。

まず、図2(a)に示したように、不純物濃度が $5\times 10^{15}\text{cm}^{-3}$ 程度のp型のシリコン基板11上に、半導体素子(図示せず)を形成する。

#### 【0024】

次いで、図2(b)に示したように、シリコン基板11上の半導体素子が形成された領域以外の領域に、得ようとする図1に示す半導体装置の膜厚に対応する深さの凹部12を、例えば、深さ $30\mu\text{m}$ 程度、 $100\mu\text{m}\times 1\text{mm}$ のサイズで複数個形成する。凹部12の側面は、シリコン基板11表面に対してほぼ垂直に

なるように加工する。

続いて、図 2 (c) に示すように、凹部 12 を含むシリコン基板 11 上全面に、プラズマ CVD 法により、シリコン酸化膜を形成し、CMP 法によりシリコン基板 11 表面が露出するまで研磨して、凹部 12 内にシリコン酸化膜 13 を埋め込む。またこの際、図 2 (c') に示すように、シリコン酸化膜 13 をシリコン基板 11 の表面が露出する前に CMP による研磨を止め、シリコン基板 11 表面の全面にシリコン酸化膜 13 を残し、後に支持基板 14 を貼り付ける際の保護膜としても良い。

#### 【0025】

次に、図 2 (d) に示すように、シリコン酸化膜 13 が埋め込まれた凹部 12 側のシリコン基板 11 に A1 からなる支持基板 14 を貼り付け、図 2 (e) に示すように、シリコン基板 11 の裏面を研磨し、図 2 (f) に示すように、シリコン酸化膜 13 が露出するまでシリコン基板 11 を薄膜化する。この際、シリコン酸化膜 13 はシリコン基板 11 より研磨速度が遅いので研磨のストッパーとなり、先に定めた凹部 12 の深さ以上に研磨が進むことがなく、所望の膜厚のシリコン基板 11 が得られる。

#### 【0026】

続いて、支持基板 14 をシリコン基板 11 から離脱させ、シリコン酸化膜 13 部分においてダイシングを行い、シリコン基板 11 から半導体装置を構成するチップを得る。

得られた半導体チップは、その端部が硬質膜部によって被覆されたフレキシブルな半導体チップであり、図 1 (c) に示すように、一方からの圧力により撓み、破壊されない。このような半導体チップを、例えばプラスチック液晶パネルに搭載した場合、半導体チップ自体がフレキシブルであるため、液晶パネルに何らかの応力がかかった場合においても、安定に動作することができる。

#### 【0027】

##### 実施の形態 2

この実施の形態の半導体装置は、硬質膜部 B において貫通孔が形成され、その中にタングステンからなる貫通電極が形成されている以外は、実施の形態 1 と実

質的に同様である。

このような半導体チップは、以下の製造方法によって形成することができる。

まず、図 3 (a) に示したように、実施の形態 1 と同様に、半導体素子（図示せず）が形成されたシリコン基板 1 1 に、シリコン基板 1 1 表面に対してその側面がほぼ垂直になるように凹部 1 2 を形成する。

次いで、図 3 (b) に示すように、実施の形態 1 と同様に、凹部 1 2 内にシリコン酸化膜 1 3 を埋め込み、フォトリソグラフィ及びエッチング工程によって、シリコン酸化膜 1 3 の一部に貫通孔を形成する。貫通孔内に選択的にタンゲステンを埋め込み、貫通電極 1 5 を形成する。

#### 【 0 0 2 8 】

その後、実施の形態 1 と同様に、図 3 (c) ～ (g) に示すように、シリコン基板 1 1 に支持基板 1 4 を貼り付け、シリコン基板 1 1 を薄膜化し、支持基板 1 4 を剥がし、ダイシングすることにより、半導体チップを得る。

得られた半導体チップは、その端部が硬質膜部によって被覆されたフレキシブルな半導体チップであるため、例えばプラスチック液晶パネルに搭載した場合、液晶パネルに何らかの応力がかかった場合においても、安定に動作することができる。

#### 【 0 0 2 9 】

##### 【発明の効果】

本発明によれば、表面に半導体素子が形成された半導体基板と、この半導体基板の側面の一部又は全部を被覆し、半導体基板の表裏面とそれぞれ略面一の表裏面を有する硬質膜とから構成され、硬質膜で被覆された半導体基板の側面が、半導体基板表面に対して垂直又は略垂直に加工されているために、フレキシブル性及び／又は光の透過性を有しながら、さらに適度な強度をも有する良質で高機能化を実現した半導体装置を提供することができる。したがって、機器の小型化・携帯化に対応するシステムパッケージソリューションとして折り曲げ可能なウェアラブルコンピュータや液晶等の透過性のある表示装置に適用することが可能となる。

#### 【 0 0 3 0 】

しかも、S O I 基板を用いずに、バルク基板を用いることができるため、基板自体が安価であり、バルク基板における設計やプロセスの I P が再利用でき、開発から生産のトータルコストを低く抑えることが可能となる。

さらに、本発明の半導体装置の製造方法によれば、S O I 基板を用いた場合と比較して、簡便なプロセスで半導体装置を製造することができるとともに、半導体基板に対して垂直方向に凹部を形成し、その凹部に硬質膜が配置されるために、半導体基板の後退、例えば、研磨の際に、硬質膜をストッパー又は保護膜として機能させることができるとともに、応力集中が生じさせることなく、膜厚の不均一や、割れを防止することができ、製造コストを低減、歩留まりを向上させることが可能となる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の半導体装置の実施の形態を示す平面図及び断面図である。

##### 【図 2】

本発明の半導体装置の製造方法を示す製造工程断面図である。

##### 【図 3】

本発明の別の半導体装置の製造方法を示す製造工程断面図である。

##### 【図 4】

従来の半導体装置の製造工程を示す断面図である。

##### 【図 5】

図 4 の続きの製造工程を示す断面図である。

##### 【図 6】

従来の別の半導体装置の製造工程を示す断面図である。

#### 【符号の説明】

A 素子部

B 硬質膜部

1 1 シリコン基板（半導体基板）

1 2 凹部

1 3 シリコン酸化膜（硬質膜）

1 4 支持基板

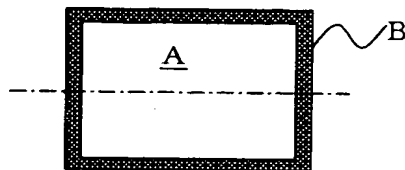
1 5 貫通電極

【書類名】

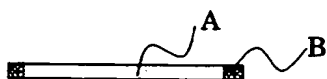
図面

【図 1】

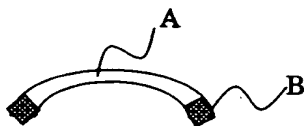
(a)



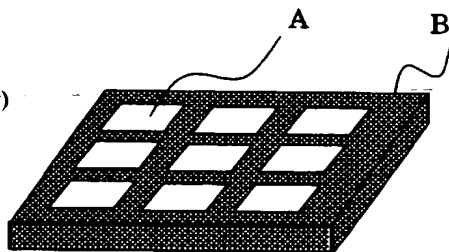
(b)



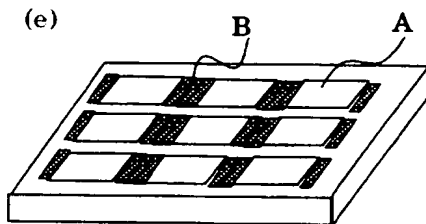
(c)



(d)

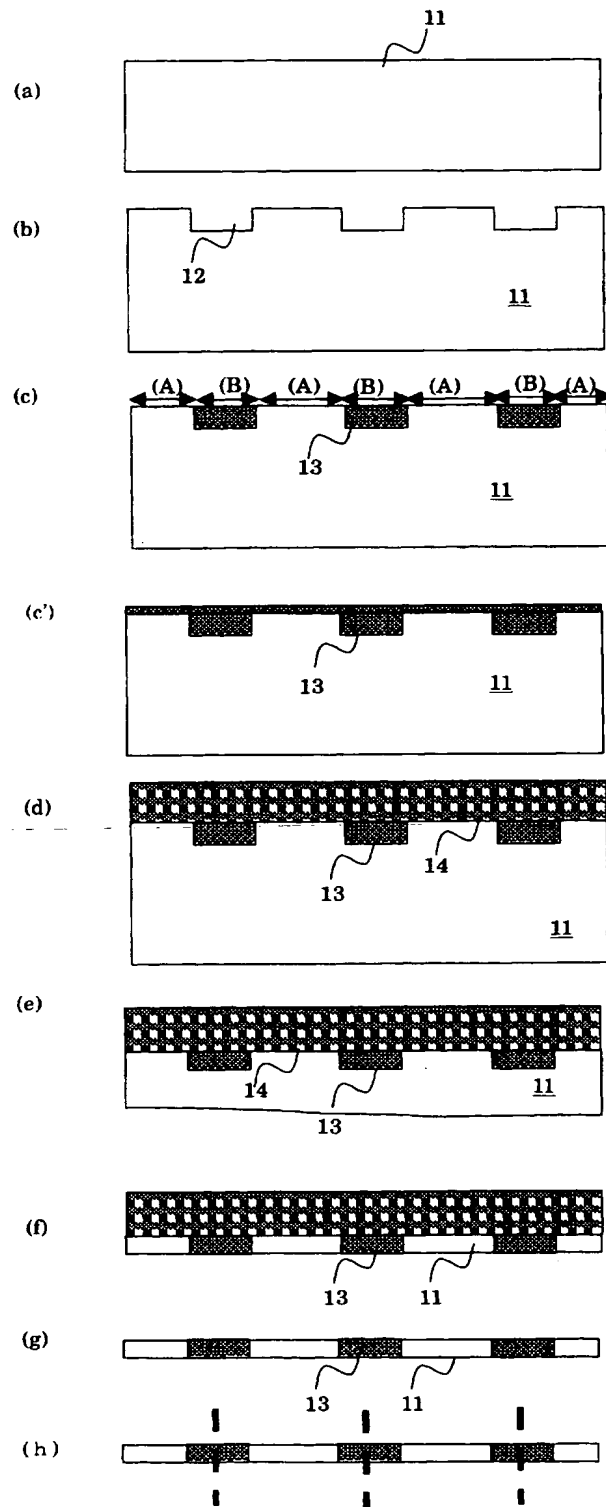


(e)

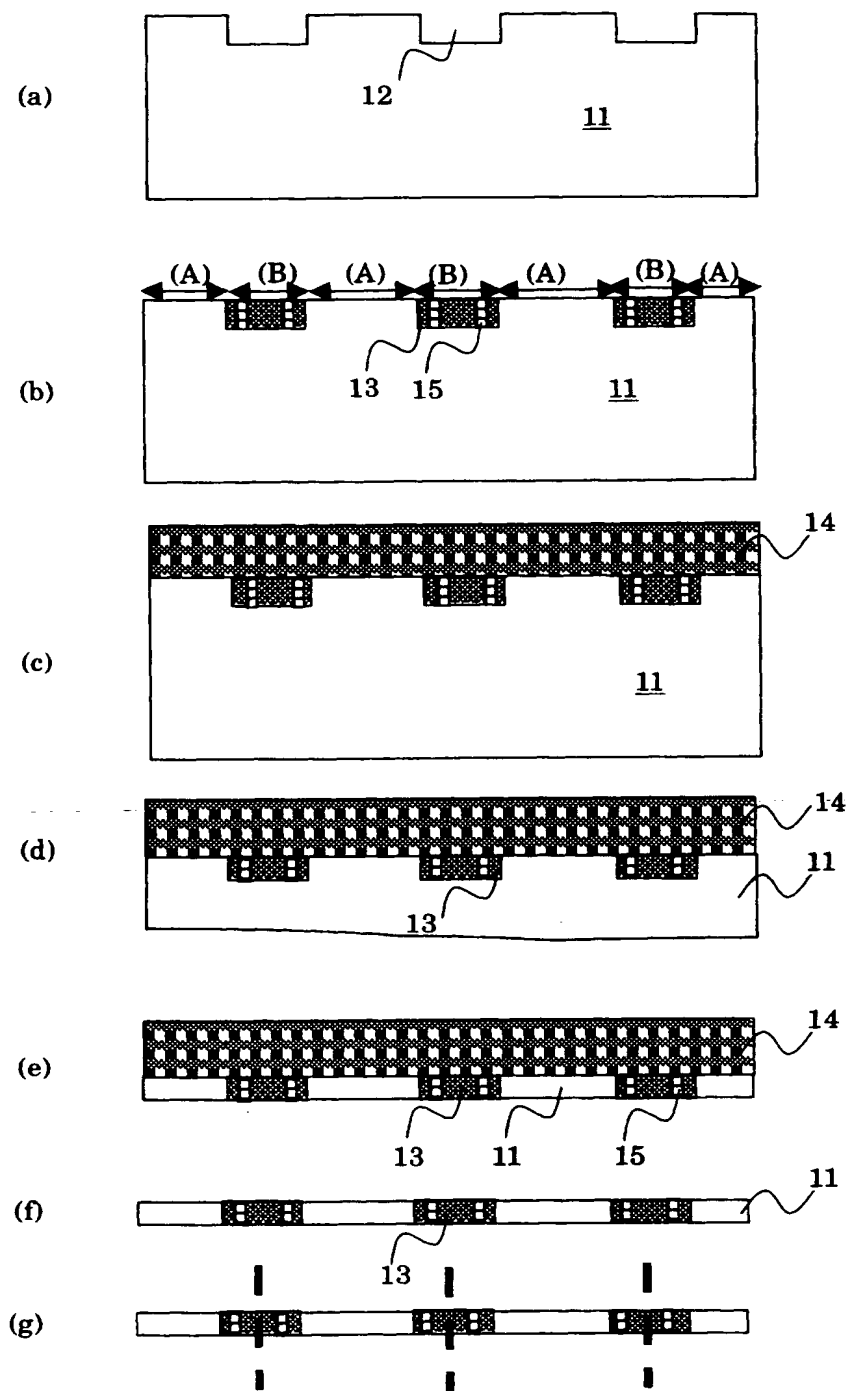




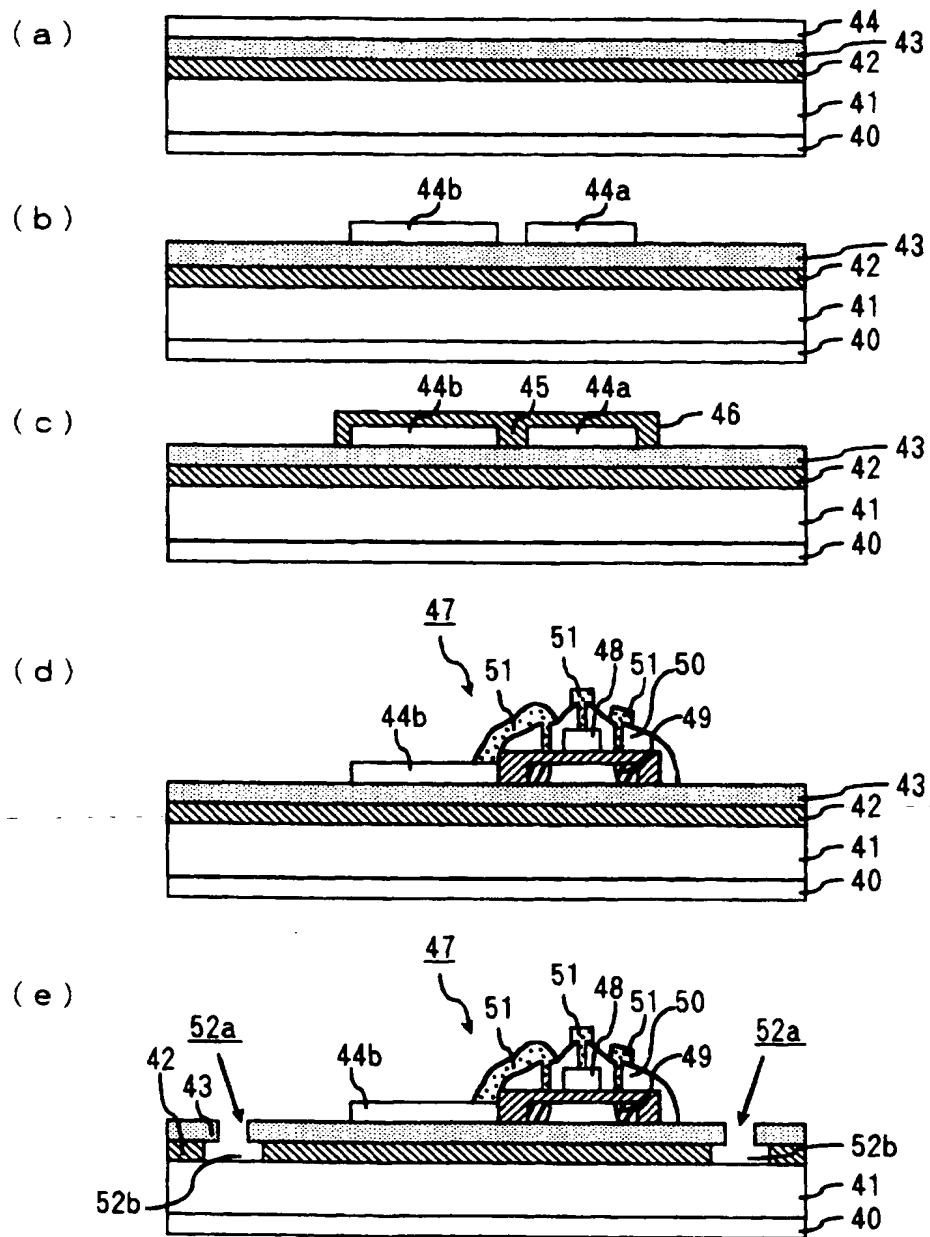
【図 2】



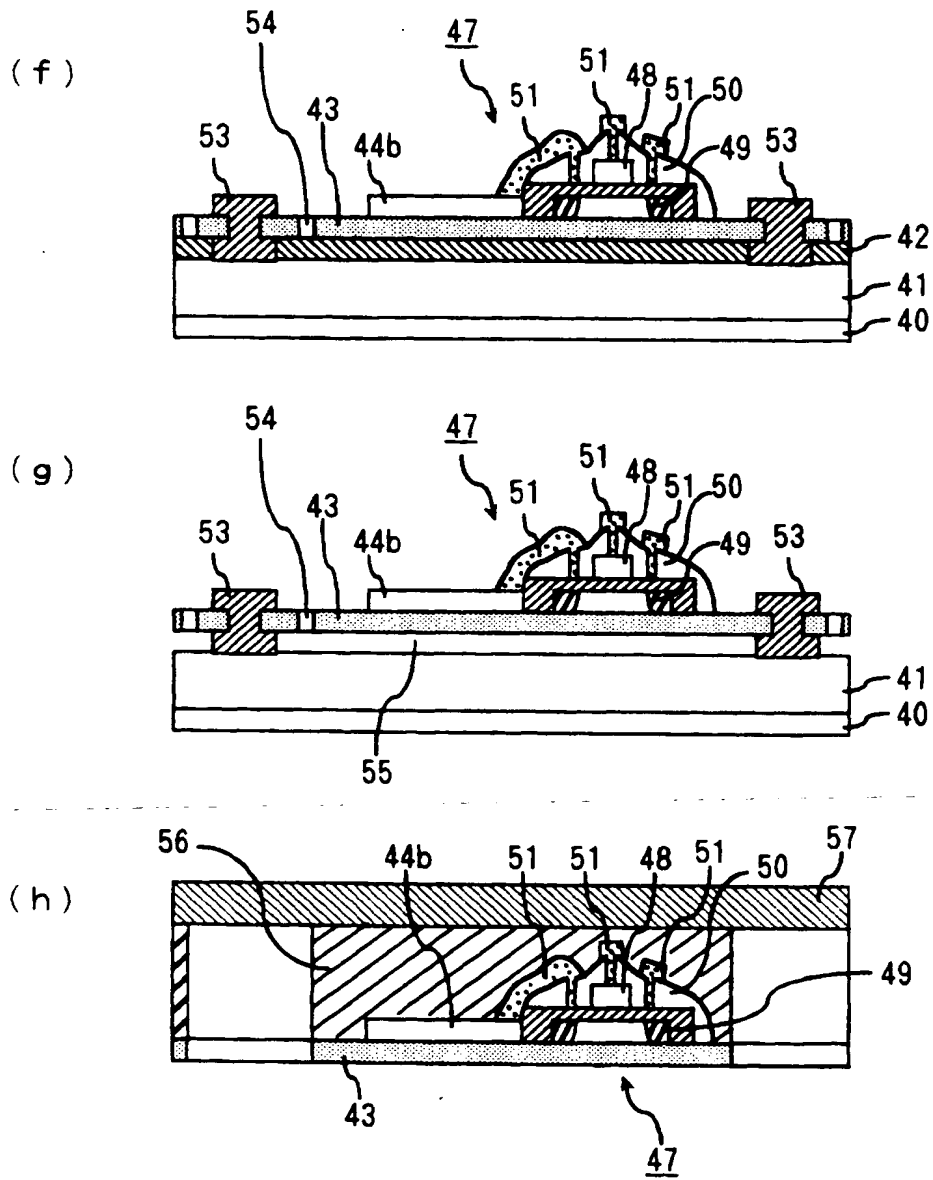
【図 3】



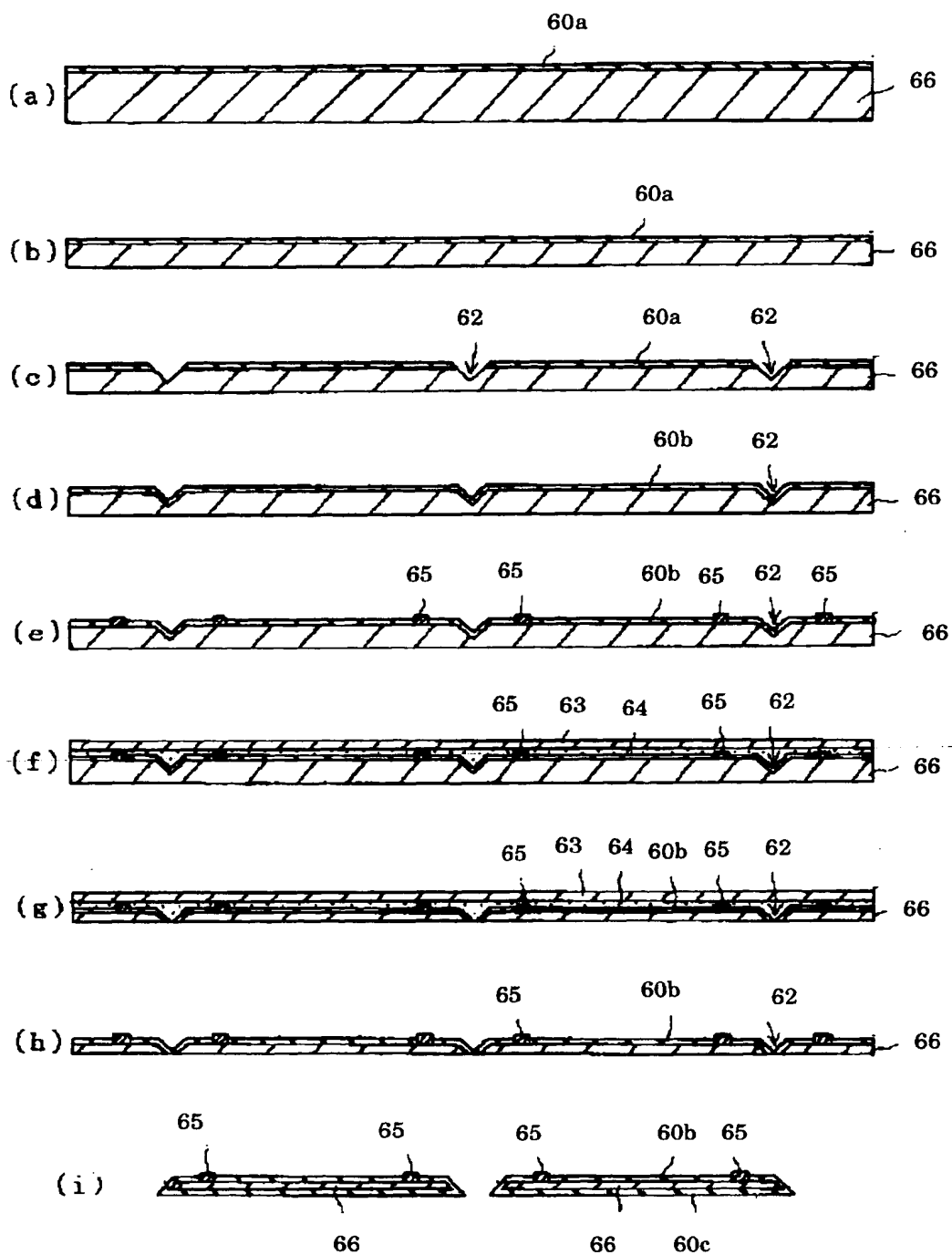
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 薄膜状のチップ自体にフレキシビリティ及び光透過性を付与することができる半導体装置及びその製造方法を提供することを目的とする。

【手段】 表面に半導体素子が形成された半導体基板 11 と、半導体基板 11 の側面の一部又は全部を被覆し、半導体基板 11 の表裏面とそれぞれ略面一の表裏面を有する硬質膜 12 とから構成され、硬質膜 12 で被覆された半導体基板 11 の側面が、半導体基板 11 表面に対して垂直又は略垂直に加工されてなる半導体装置。

【選択図】 図 2

特願 2 0 0 3 - 0 0 3 4 1 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社